

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

*Copy for Applicant**File Copy**moist**dry O₂**File Copy**atmos. (palm) 09/037945**(palm)**no white ribbon*

89-264598/37 L03 U11 MIKR-01.07.86
VEB MIKROEL MARX K *DD -266-885-A
01.07.86-DD-291980 (12.04.89) H011-21/30
Two-phase MOS transistor mfg. process - using dry oxygen in 2nd
phase for white ribbon elimination
C89-117408

L(4-C6A, 4-C12A, 4-E1B)

PROCESS DETAILS

The first phase is carried out in moist oxygen or steam and the second phase is carried out in dry oxygen to which pref. a small amount of hydrogen chloride or chloro-carbon gas is added at least intermittently. A heat treatment in a non-oxidising atmos. may be carried out before and/or after the second phase. (3pp1501DWDwgNo0/0)

In semiconductor device mfr. involving successive application of a silicon oxide layer and an oxidn. masking silicon nitride layer leaving part of the substrate surface exposed and then oxidn. treatment, the novelty is that the oxidn. treatment is carried out in a moist atmos. in a first phase and in dry oxygen in a second phase.

USE/ADVANTAGE

The process is used in e.g. MOS transistors mfr. The secondary nitride ('white ribbon') produced in the first phase is eliminated during the second phase so that a 'white ribbon'-free sunken oxide structure is obtd. The process allows prodn. of thick (more than 0.5 mm) oxide layers in less thick than by oxidn. in dry oxygen and has low costs and high yields.

DD-266885-A

© 1989 DERWENT PUBLICATIONS LTD.
128, Theobalds Road, London WC1X 8RP, England
US Office: Derwent Inc., 1313 Dolley Madison Boulevard,
Suite 303, McLean, VA22101, USA
Unauthorized copying of this abstract not permitted.

*fine
(typo)*



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 266 885 A1

4(51) H 01 L 21/306

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 01 L / 291 980 8

(22) 01.07.86

(44) 12.04.89

(71) veb mikroelektronik „karl marx“ erfurt, Rudolfstraße 47, Erfurt, 5010, DD

(72) Cattus, Gerhard, Dr.-Ing. Dipl.-Ing.; Peterseim, Erhard, Dr.-Ing. Dipl.-Ing.; Fröhlich, Manfred, Dipl.-Ing., DD

(54) Verfahren zur Herstellung einer Halbleiteranordnung

(57) Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiteranordnung und findet insbesondere Anwendung bei der Herstellung von MOS-Transistoren. Ziel der Erfindung ist die Erhöhung der Gutasbeute bei der Herstellung von MOS-Transistoren bei gleichzeitig niedrigem Kostenaufwand. Es ist Aufgabe der Erfindung, bei der Erzeugung des versenkten Oxidmusters die Entstehung des Nitrids des weißen Bandes zu verhindern. Diese Aufgabe wird erfindungsgemäß durch ein Verfahren zur Herstellung einer Halbleiteranordnung, bei dem auf die Oberfläche eines Siliziumsubstrates nacheinander eine Siliziumoxidschicht und eine oxydationsmaskierende Siliziumnitridschicht aufgebracht wird, wonach Teile der Siliziumsubstratoberfläche freigelegt und anschließend einer Oxidationsbehandlung ausgesetzt werden, dadurch gelöst, daß die Oxydation zur Erzeugung der versenkten Oxidstruktur in einem ersten Schritt in einer Atmosphäre aus feuchtem Sauerstoff oder Wasserdampf und in einem zweiten nachfolgenden Schritt in einer Atmosphäre aus trockenem Sauerstoff, dem HCl oder Chlorkohlenwasserstoff beigemischt sein kann, durchgeführt wird.

ISSN 0433-6461

3 Seiten

PTO 2001-3003

S.T.I.C. Translations Branch

Erfindungsanspruch:

1. Verfahren zur Herstellung einer Halbleiteranordnung, bei dem auf die Oberfläche eines Siliziumsubstrates nacheinander eine Siliziumoxidschicht und eine oxydationsmaskierende Siliziumnitridschicht aufgebracht werden, wonach Teile der Siliziumsubstratoberfläche freigelegt und anschließend einer Oxydationsbehandlung ausgesetzt werden, **gekennzeichnet dadurch, daß die Oxydationsbehandlung in einer ersten Phase in einer feuchten Atmosphäre und in einer zweiten Phase in einer Atmosphäre aus trockenem Sauerstoff durchgeführt wird.**
2. Verfahren nach Anspruch 1, **gekennzeichnet dadurch, daß die Oxydation in der ersten Phase in einer Atmosphäre aus feuchtem Sauerstoff durchgeführt wird.**
3. Verfahren nach Anspruch 1, **gekennzeichnet dadurch, daß die Oxydation in der ersten Phase in einer Atmosphäre aus Wasserdampf durchgeführt wird.**
4. Verfahren nach Anspruch 1, **gekennzeichnet dadurch, daß die Oxydation in der zweiten Phase in einer Atmosphäre aus trockenem Sauerstoff, dem zumindest zeitweise ein geringer Anteil von Chlorwasserstoffgas zugesetzt wird, durchgeführt wird.**
5. Verfahren nach Anspruch 1, **gekennzeichnet dadurch, daß die Oxydation in der zweiten Phase in einer Atmosphäre aus trockenem Sauerstoff, dem zumindest zeitweise ein geringer Anteil von Chlorkohlenwasserstoffgas zugesetzt wird, durchgeführt wird.**
6. Verfahren nach Anspruch 1 bis 5, **gekennzeichnet dadurch, daß vor der 2-Phasenoxydationsbehandlung weitere Temperaturbehandlungen in nichtoxydierender Atmosphäre durchgeführt werden.**
7. Verfahren nach Anspruch 1 bis 5, **gekennzeichnet dadurch, daß nach der 2-Phasenoxydationsbehandlung weitere Temperaturbehandlungen in nichtoxydierender Atmosphäre durchgeführt werden.**
8. Verfahren nach Anspruch 1 bis 5, **gekennzeichnet dadurch, daß vor und nach der 2-Phasenoxydationsbehandlung weitere Temperaturbehandlungen in nichtoxydierender Atmosphäre durchgeführt werden.**

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiteranordnung und findet insbesondere Anwendung bei der Herstellung von MOS-Transistoren.

Charakteristik der bekannten technischen Lösungen

Nach GB-PS 1208576; 1208577 und 1208578 sowie GB-PS 1235177; 1235178 und 1235179 sind Verfahren zur Herstellung einer Halbleiteranordnung bekannt, bei denen die Oberfläche eines aus Silizium bestehenden Teiles eines Körpers einer Oxydationsbehandlung unterworfen wird, während die genannte Oberfläche selektiv gegen Oxydation durch eine darauf aufgetragene Maskierungsschicht maskiert ist. An der Stelle des nicht maskierten Teiles der genannten Oberfläche entsteht eine Siliziumoxidschicht, die wenigstens über einen Teil ihrer Dicke in den Teil des Siliziumkörpers versenkt ist. Eine derartige örtliche Oxydation von Silizium ist unter der abgekürzten Bezeichnung „LOCOS“ bekannt und wurde von Appels; Kooi und anderen unter dem Titel „Local oxidation of silicon and its application in semiconductor device technology“ in Philips Research Reports, 25, Nr. 2 (April 1970), S. 118–132 beschrieben. Die Maskierungsschicht besteht vorteilhaft aus vorteilhaft aus Siliziumnitrid auf einer dünnen Siliziumoxidschicht. In der Veröffentlichung von Kooi, van Lierop und Appels in Journal of Electrochemical Society, 123 (1976) S. 1117–1120 ist beschrieben, wie sich bei einem derartigen Verfahren infolge der Oxydation mit Wasserdampf am Rande der Oxidstruktur unter der Siliziumnitridschicht an der Grenzfläche zwischen Siliziumoxidschicht und Siliziumkörper ein schmaler Streifen bilden kann, der aus Siliziumnitrid besteht. Dieser Streifen wird als weißes Band („white ribbon“-Effekt) bezeichnet. Werden danach verbleibende Teile der bei der Oxydation maskierenden Nitrid- und Oxidschichten entfernt, damit z. B. an den freigelegten Stellen der Siliziumoberfläche durch Oxydation die Gate-Isolation eines MOS-Transistors gebildet werden kann, so besteht die Möglichkeit, daß an der Stelle des weißen Bandes ein zu dünnes Gateoxid oder überhaupt keines gebildet wird, da auch das Nitrid des weißen Bandes gegen Oxydation maskiert. Andererseits werden durch den „white ribbon“-Effekt die Isolator- und Grenzflächeneigenschaften so gestört, daß die unter dem Maskiernitrid befindliche Oxidschicht ebenfalls nicht als Gateisolator genutzt werden kann.

Zur Entfernung des störenden Nitrids des weißen Bandes ist wegen dessen hoher Resistenz ein intensiver Überätzschritt erforderlich, der wie von Skankoff u. a. in J. Electrochem. Soc./Solid-State Science and Technology 127 (1980) 1, S. 216–222 beschrieben, vorteilhafterweise in Verbindung mit einer zusätzlichen Oxydation (Opferoxydation) durchgeführt wird, bei welcher das Nitrid des weißen Bandes zunächst in einfacher ätzbares Oxid umgewandelt wird. Durch die Überätzschritte zur Entfernung des weißen Bandes wird auch die versenkte Oxidschicht teilweise entfernt. Dadurch verschlechtert sich zum einen der Wert der Feldschwellspannung so hergestellter Bauelemente und zum anderen entsteht durch die Überätzung am Rande der versenkten Siliziumoxidstruktur ein Oberflächenanteil, der in bezug auf die ursprüngliche und die vom Rand der Oxidstruktur entfernte Oberfläche unterschiedlich orientiert ist und eine unterschiedliche Konzentration Q_{ss} an Oberflächenzuständen aufweist. Dadurch kann z. B. die Schwellspannung eines MOS-Transistors erheblich vom gewünschten Wert abweichen bzw. Reststrompfade entstehen.

Ziel der Erfindung

Ziel der Erfindung ist die Erhöhung der Gutasbeute bei der Herstellung von MOS-Transistoren bei gleichzeitig niedrigem Kostenaufwand.

Darlegung des Wesens der Erfindung

Es ist die Aufgabe der Erfindung, bei der Erzeugung der versenkten Oxidstruktur die Entstehung des Nitrids des weißen Bandes zu verhindern. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Oxydation zur Erzeugung der versenkten Oxidstruktur in einem ersten Schritt in einer Atmosphäre aus feuchtem Sauerstoff oder Wasserdampf und in einem zweiten nachfolgenden Schritt in einer Atmosphäre aus trockenem Sauerstoff, dem HCl oder Chlorkohlenwasserstoff beigemischt sein kann, durchgeführt wird. Diese Behandlung bewirkt, daß der während der ersten Oxydationsphase in einer Feuchtatmosphäre an der Übergangsstelle der versenkten Oxidstruktur zur angrenzenden Siliziumoxidschicht der Siliziumnitrid/Siliziumoxid-Doppelschicht (sog. Vogelschnabel bzw. Vogelkopf) entstehende Sekundärnitridstreifen („white ribbon“) in der 2. Oxydationsphase in trockener Sauerstoffatmosphäre durch die weiter fortschreitende Oxydationsfront wieder beseitigt wird, so daß nach Abschluß der Oxydationsbehandlung eine „white ribbon“-freie versenkte Oxidstruktur vorliegt.

Der Erfindung liegt die Erkenntnis zugrunde, daß das Sekundärnitrid („white ribbon“) nur dann entsteht, wenn die Selektivoxydation mittels Si_3N_4 -Maske zur Herstellung der versenkten Oxidstruktur in einer feuchten oder Dampfmasmosphäre durchgeführt wird und bei genügend langer Oxydationsbehandlung in trockenem Sauerstoff, evtl. mit Zusatz von HCl oder Chlorkohlenwasserstoff, wieder beseitigt werden kann.

Das erfindungsgemäße Verfahren hat den Vorteil, daß gegenüber einer Oxydation in trockenem Sauerstoff zur Herstellung von Oxiden großer Dicke ($> 0,5 \text{ mm}$) Prozeßzeit eingespart wird.

Ausführungsbeispiel

Das Ausführungsbeispiel wird anhand eines nSGT-Verfahrens näher erläutert. Auf einer Si-Scheibe wird nach entsprechenden Reinigungsschritten durch thermische Oxydation eine 100 nm dicke Oxidschicht und nachfolgend durch ein CVD-Verfahren eine 150 nm dicke Si_3N_4 -Schicht hergestellt. Auf die Doppelschicht wird mittels bekannter Verfahren der Fotolithographie eine Fotoresistmaske aufgebracht, die das Muster der später zu erzeugenden Dickoxidgebiete enthält. Die Nitridschicht wird mittels plasmachemischer Ätzverfahren von den nicht mit der Fotoresistmaske bedeckten Gebieten entfernt. Anschließend erfolgt die sogenannte Kanalstopperimplantation: Bor, Dosis $5 \times 10^{13} \text{ cm}^{-2}$ Energie, 100 keV.

Nach dem Entfernen der Lackmaske durch Einäschern in Sauerstoffplasma folgen eine Reinigung und die erfindungsgemäße 2-Stufenoxydation zur Erzeugung eines Oxides von 1 μm Dicke. In der ersten Phase werden durch Oxydation bei 1000°C in Wasserdampf 500 nm Oxid erzeugt. Anschließend wird durch Ersetzen der Wasserdampfmasmosphäre durch eine trockene Sauerstoffatmosphäre die Oxydation bis zum Erreichen der gewünschten Oxiddicke von 1 μm fortgesetzt.

Es schließen sich dann die weiteren notwendigen Prozeßschritte zur Herstellung von Schaltelementen, wie Transistoren, Verbindungsleitungen usw., an.

In einem weiteren Ausführungsbeispiel wird die Oxydation in der 2. Phase in einer Atmosphäre aus trockenem Sauerstoff mit einem geringen Anteil von HCl-Gas oder Chlorkohlenwasserstoff durchgeführt.

Translated from the German

German Democratic Republic
PATENT SPECIFICATION

DD 266 885 A1

Economic Patent

Office for Discoveries and Patents

Date of application: July 1, 1986

Date of making available to the public by printing or similar process of an examined document, on which no grant or only a provisional grant has taken place on or before the said date: April 12, 1989

Applicant: VEB Mikroelektronik "Karl Marx", Erfurt, GDR

Inventors: Gerhard Cattus et al.

Title in German: Verfahren zur Herstellung einer Halbleiteranordnung

METHOD FOR THE MANUFACTURING OF A SEMICONDUCTOR ARRANGEMENT

(57) The invention pertains to a method for the manufacturing of a semiconductor arrangement, and in particular it finds an application in the manufacturing of MOS transistors. Aim of the invention is to increase the yield of the product in the case of the manufacturing of MOS transistors while at the same time, the cost input is lower. It is an object of the invention to prevent the origination of the nitride of the white ribbon [strip] when the countersunk [sunk] oxide pattern is produced. In accordance with the invention, this objective is achieved in such a way by means of a method for the manufacturing

of a semiconductor arrangement, in the case of which method, a silicon substrate and an oxidation-masking silicon nitride layer are applied one after another on the surface of a silicon substrate, whereupon parts of the silicon substrate surface are uncovered, and, finally exposed to an oxidation treatment, that within the framework of a first phase, the oxidation for the generation of the countersunk is carried out in an atmosphere of moist oxygen or hydrogen vapor, and, within the framework of a second, subsequent step or phase, it is carried out in an atmosphere of dry oxygen, to which HCl or chlorinated hydrocarbon can be added.

PATENT CLAIMS

1. Method for the manufacturing of a semiconductor arrangement, in the case of which method a silicon oxide layer and an oxidation-masking silicon-nitride layer are applied one after another on the surface of a silicon substrate, whereupon parts of the silicon substrate surface are exposed, and, finally, subjected to an oxidation treatment, **characterized in that** within the framework of a first phase, the oxidation treatment is carried out in a moist atmosphere, and within the framework of a second phase, the oxidation treatment is carried out in an atmosphere of dry oxygen.

2. Method as claimed in claim 1, characterized in that within the framework of the first phase, the oxidation is carried out in an atmosphere of moist oxygen.

3. Method as claimed in claim 1, characterized in that within the framework of the first phase, the oxidation is carried out in an atmosphere of water vapor.

4. Method as claimed in claim 1, characterized in that within the framework of the second phase, the oxidation is carried out in an atmosphere of dry oxygen, to which a small amount of chlorinated hydrocarbon gas is at least intermittently added.

5. Method as claimed in claim 1, characterized in that in the second phase, the oxidation is carried out in an atmosphere of dry oxygen, to which a small amount of chlorinated hydrocarbon gas is at least intermittently added.

6. Method as claimed in claims 1 thru 5, characterized in that additional temperature treatments in non-oxidizing atmosphere are carried out prior to the second phase-oxidation treatment.

7. Method as claimed in claims 1 thru 5, characterized in that additional temperature treatments in non-oxidation atmosphere are carried out after the second phase-oxidation treatment.

8. Method as claimed in claims 1 thru 5, characterized in that prior and after the second phase-oxidation treatment, there are carried out additional temperature treatments in non-oxidation atmosphere.

*

*

*

*

*

Area of Application of the Invention

The invention pertains to a method for the manufacturing of a semiconductor arrangement, and in particular finds place in the manufacturing of MOS*-transistors. [*Translator's note: i.e. metal-oxide semiconductors].

Characteristics of the Known Technical Solutions

According to the British patent specifications GB-PS 1208576; 1208577 and 1208578 as well as GB-PS 1235177, 1235178 and 1235179, methods for the manufacturing of a semiconductor arrangement are known, in the case of which methods the surface of a part of a body, consisting of silicon, is subjected to oxidation treatment while the said surface is selectively masked against oxidation by means of a masking layer applied thereupon. In lieu of the non-masked part of the said surface, there originates a silicon dioxide layer, which is sunk at least over a part of its thickness into the part of the silicon body. Such a local oxidation of silicon is known under the abbreviated term "LOCOS" and was described by Appels, Kooi and others under the title "Local Oxidation of Silicon and Its Application in Semiconductor Device Technology" in Philips Research Reports 25,

No. 2 (April 1970) pp 118- 132. Advantageously, the masking layer advantageously (sic) consists of silicon nitride, on a thin silicon nitride layer. In the publication by Kooi, van Lierop and Appels in the Journal of Electrochemical Society, 123 (1976, pp 1117-1120, it is described how in the case of such a method, due to the oxidation with the help of water vapor, a narrow stripe, which consists of silicon nitride, can be formed on the edge of the oxide structure, under the silicon nitride on the boundary surface between silicon oxide layer and silicon body. This stripe or strip is denoted as "white-ribbon" effect. If remaining parts of the nitride layers and oxide layers, which are masking in the case of the oxidation, are subsequently removed, so that, e.g., the gate insulation of a MOS transistor can be formed as a result of oxidation on the exposed spots of the silicon surface, there arises thus the opportunity that instead of the white ribbon, either a too thin a gate-oxide is formed or a gate-oxide is not at all formed because the nitride of the white ribbon also masks against oxidation. On the other hand, the isolator and boundary-surface [interface] properties are disturbed or adversely affected as a result of the white-ribbon effect in such a way that the oxide layer, which is located under the masking nitride, cannot likewise be used as gate isolator. In order for the interfering or parasitic nitride of the white ribbon to be removed, an intensive overetching step is necessary due to its high resistance, which overetching step - as described by von Skankoff and others in J. Electrochem. Soc./Solid-State

Science and Technology 127 (1980)1, pp 216-222, is advantageously carried out in conjunction with an additional oxidation (sacrificial oxidation), in the case of which the nitride of the white ribbon is first of all converted into simple etchable oxide.

As a result of the overetching, process steps for the removal of the white ribbon, the sunk oxide layer is also partially removed. As a result of this, the value of the field threshold voltage of the component thus produced is impaired or degraded, on the one hand, and on the other hand, a surface component originates as a result of the overetching on the end of the sunk silicon-oxide structure, which surface component is differently oriented with respect to the original surface and the surface, which is remote from the edge of the oxide structure, and has a different concentration Q_{ss} of surface states. As a result of this, the threshold voltage of a MOS transistor can considerably deviate from, e.g., the desired value, or residual current paths can originate.

Objective of the Invention

It is an objective of the invention to increase the output in the case of the manufacturing of MOS transistors while concurrently achieving a reduced cost.

Explanation of the Nature of the Invention

It is an object of the invention to prevent the formation of the white ribbon effect when the sunk oxide structure is produced. In accordance with the invention, this objective is achieved as a result of the fact that in a first process step, the oxidation for the generation of the sunk oxide structure is carried out in an atmosphere of moist oxygen or water vapor, and, in a second, subsequent step, the oxidation for the generation of the sunk oxide structure is carried out in an atmosphere of dry oxygen, to which HCl or chlorinated hydrocarbon can be added. As a result of this treatment, the secondary nitride ribbon ("white ribbon"), which nitride ribbon originates over the course of the first oxidation phase in a moist atmosphere on the spot of the transition of the sunk oxide structure with respect to the adjacent silicon layer of the silicon nitride/silicon-oxide double layer (so-called bird's beak or bird's head), is again removed in the second oxidation phase in dry oxygen atmosphere as a result of the progressing oxidation front, so that after the conclusion of the oxidation treatment, a "white ribbon"-free oxide structure is available.

The finding that the secondary nitride ("white ribbon") is formed only when the selective oxidation by means of silicon nitride Si_3N_4 -mask for the manufacturing of the sunk oxide structure is carried out in a moist or vapor atmosphere, and can again be removed when the oxidation treatment in dry oxygen is sufficiently long, eventually with the addition of HCl or chlorinated hydrocarbon.

When juxtaposed to an oxidation method in dry oxygen for the manufacturing of oxides, having great thickness (i.e. > 0.5 mm), the method in accordance with the invention has the advantage that it saves process time.

Exemplified Embodiment

The exemplified embodiment is elucidated in greater detail by means of a n-SGT*-method. { *Translator's note: n-SGT = channel silicon-gate technology. }. After relevant clean(s)ing steps, an oxide layer, having a thickness of 100 nm, is applied on a Is-disk by means of thermal oxidation, and a Is_3N_4 [silicon nitride] layer, having a thickness of 150 nm, is subsequently produced by means of a CVD-method. With the help of known methods of the photolithography (photooptical lithography), a photoresist mask is applied upon the double layer, which photoresist mask which contains the pattern of the thick oxide regions, which are to be produced at a later point. The nitride layer is removed from the regions, which are not covered with the photoresist mask, by means of plasma-chemical etching methods. Finally, the so-called channel stop[per] implantation takes place wherein boron dose: $5 \times 10^{13} \text{ cm}^{-2}$, energy: 100 keV.

After the removal of the lacquer mask as a result of incinerating [calcinating] in oxygen plasma, a cleaning and the two-stage oxidation in accordance with the invention for the generation of an oxide, having a thickness of 1 μm follow. In the

first phase, there are generated 500 nm of oxide as a result of oxidation at 1,000°C in water vapor. Subsequently, as a result of the substitution of the water-vapor atmosphere by a dry oxygen atmosphere, the oxidation proceeds until the desired oxide thickness is attained.

Afterwards, the additional necessary process steps for the manufacturing of the circuit elements, such as transistors, connecting lines [cables], etc, are added on.

Within the framework of an additional exemplified embodiment, the oxidation in the second phase is carried out in an atmosphere of dry oxygen with the help of a small part of HCl-gas or chlorinated hydrocarbon.

US DEPARTMENT OF COMMERCE/USPTO/STIC/Translations Branch
John M Koytcheff
June 12, 2001

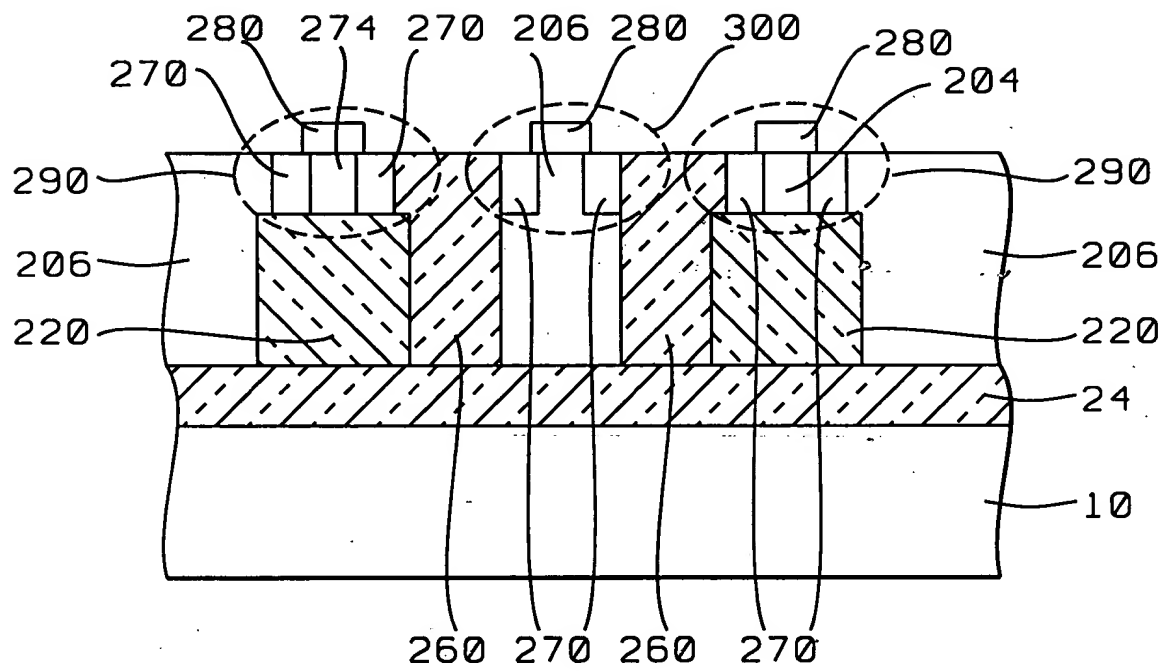


FIG. 6